



线性稳压器的提示、技巧和高级应用

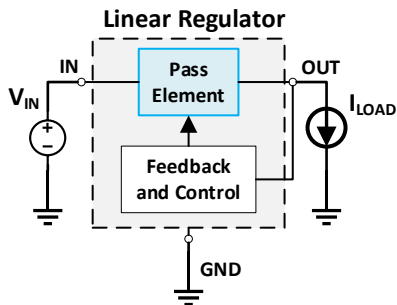
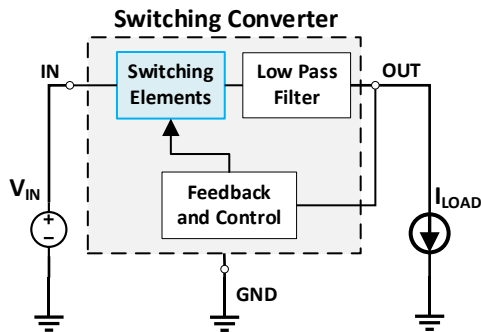
David Ji

议程

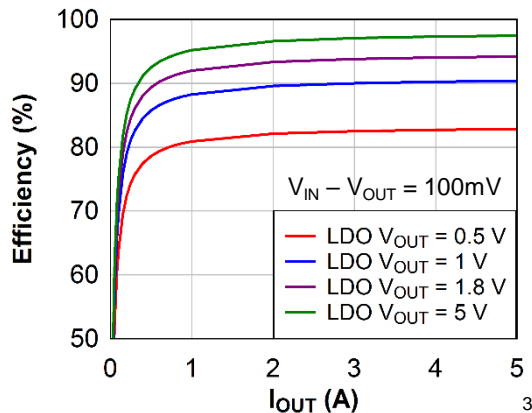
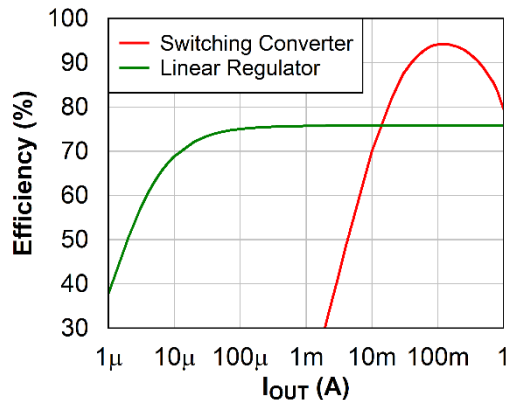
- 线性稳压器 (LDO) 概述
- LDO 提示和技巧：
 - 噪声
 - 电源抑制比 (PSRR)
 - 热性能
 - 接近压降电压时的瞬态性能
- 高级 LDO 应用：
 - 使用镇流电阻器的并联 LDO
 - 恒流调节
 - 多输入单输出 (MISO) LDO

LDO 与开关转换器

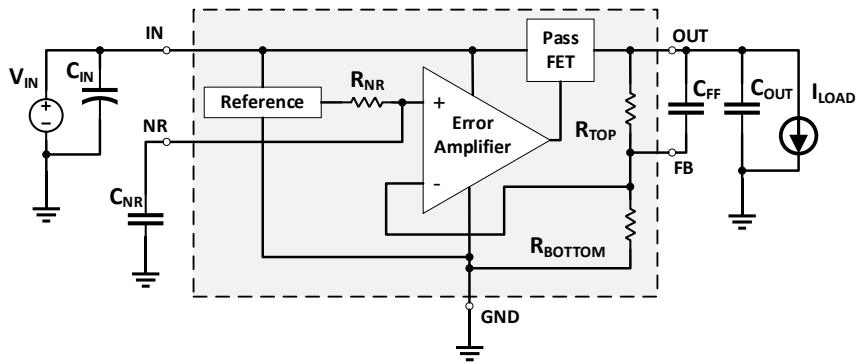
- 电源转换器类型：
 - 开关转换器：开关为导通或关断状态
 - LDO：通道元件始终导通
- LDO
 - 优点：便宜、简单、安静
 - 缺点：效率、温度



$$\text{效率}(\eta) = \frac{V_{\text{OUT}} \times I_{\text{OUT}}}{V_{\text{IN}} \times (I_{\text{OUT}} + I_{\text{Q}})}$$



LDO 的结构是怎样的？

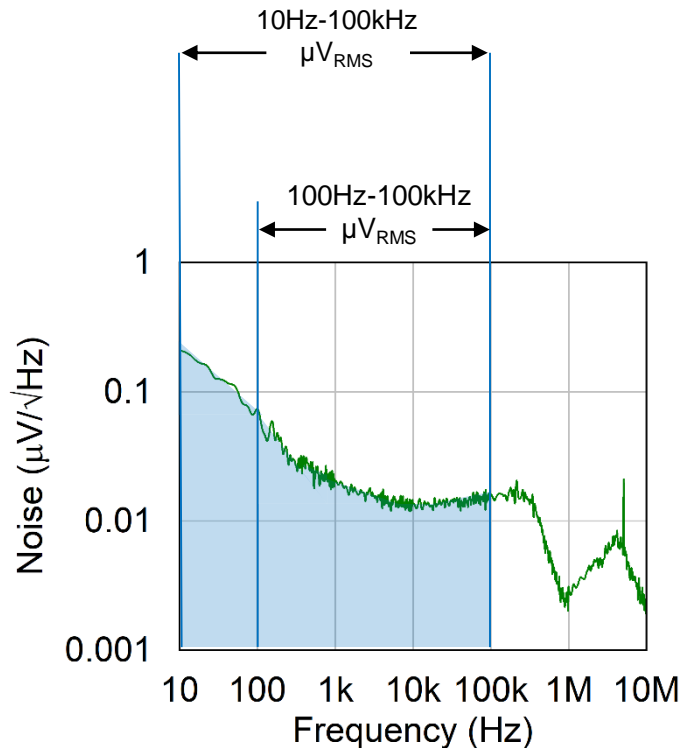


LDO 的主要特性：

- 压降电压 (V_{DO})
- LDO 的功率耗散 (P_D) 以及与温升的关系
- 噪声
 - 固有噪声 (e_n) 主要由内部基准和误差放大器的噪声主导
 - PSRR 测量输入端有多少噪声通过 LDO 耦合到输出端
- 静态电流 (I_Q)
- 稳定性
- 开通时间

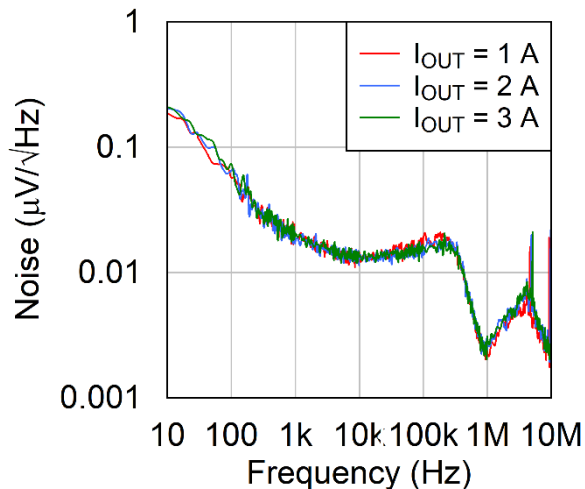
噪声基础知识

- LDO 噪声测量：
 - 噪声频谱密度 ($\mu\text{V}/\sqrt{\text{Hz}}$)
 - 总（积分）输出噪声 (μV_{RMS})
 - 用于相互比较不同 LDO 的行业标准
- 积分输出噪声的测量范围通常为 10Hz 至 100kHz
 - 过去有时也使用 100Hz 至 100kHz
 - 为了准确比较噪声，请确保测量使用相同的频率范围

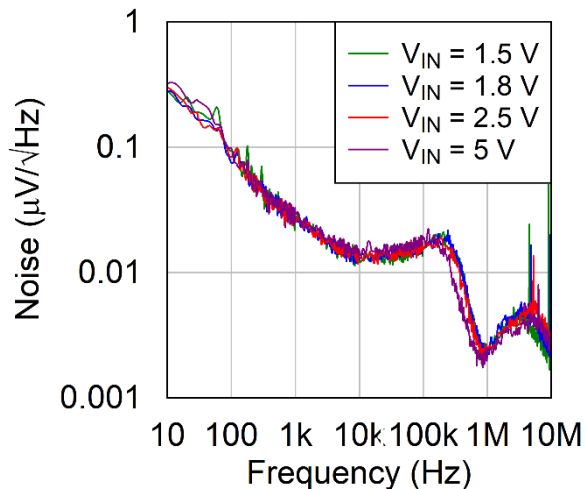


哪些条件不影响固有噪声

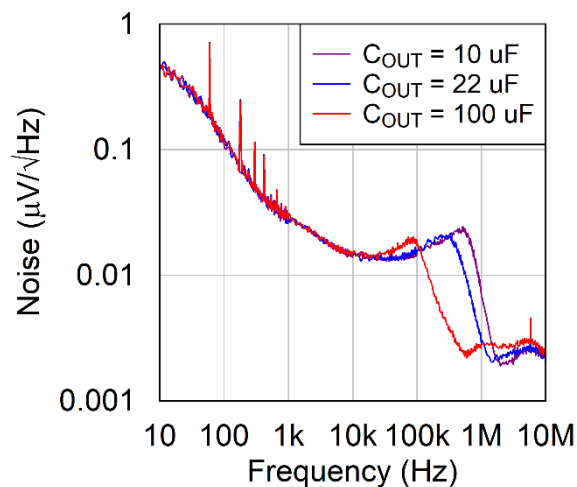
输出电流 (ΔI_{OUT})*



输入电压 (ΔV_{IN})



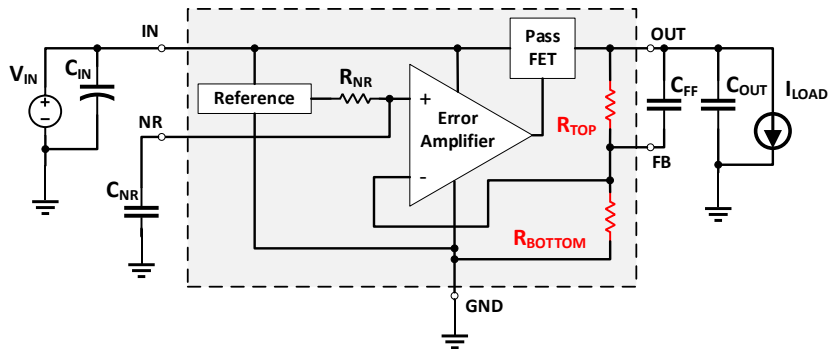
输出电容** (ΔC_{OUT})



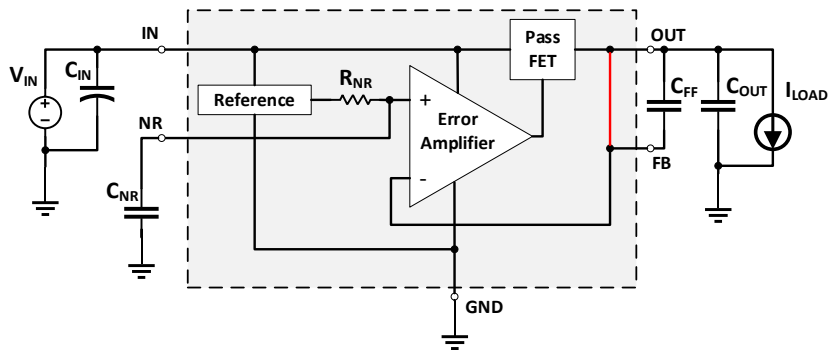
*对于超低 I_Q 器件, I_{LOAD} 可能会影响噪声

**非常高的 C_{OUT} 值可能会影响噪声

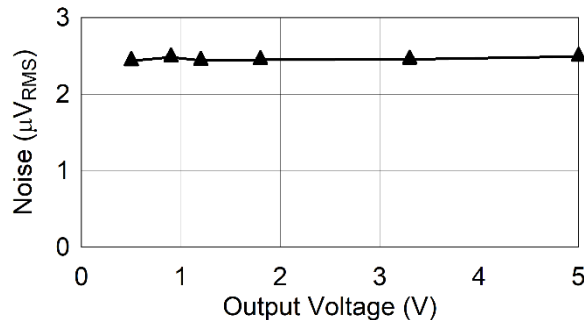
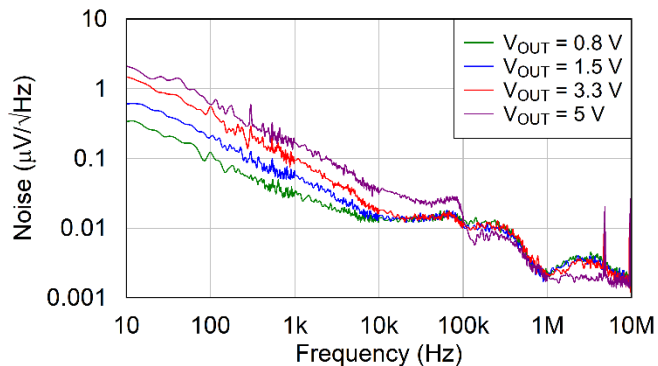
哪些条件会影响固有噪声



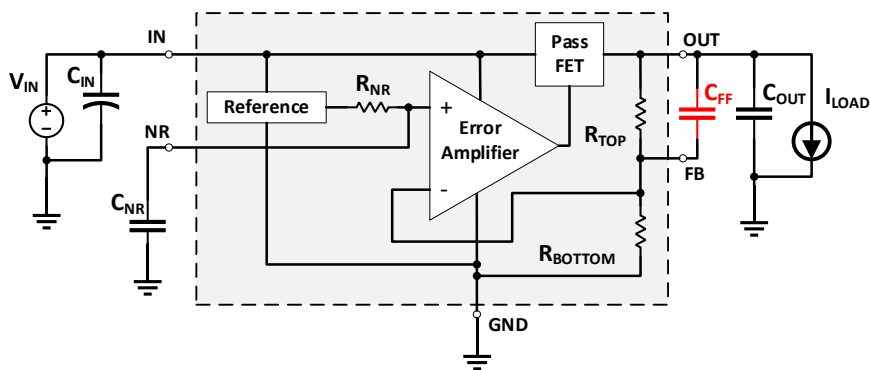
将 LDO 置于单位增益反馈中时, V_{OUT} 没有影响



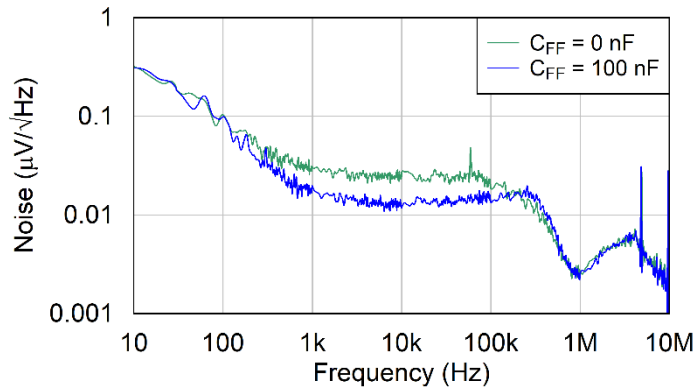
输出电压 (ΔV_{OUT})



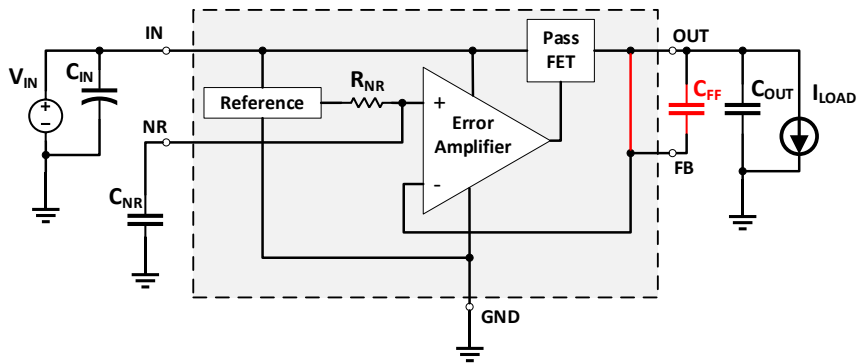
哪些条件会影响固有噪声



前馈电容器 (ΔC_{FF})



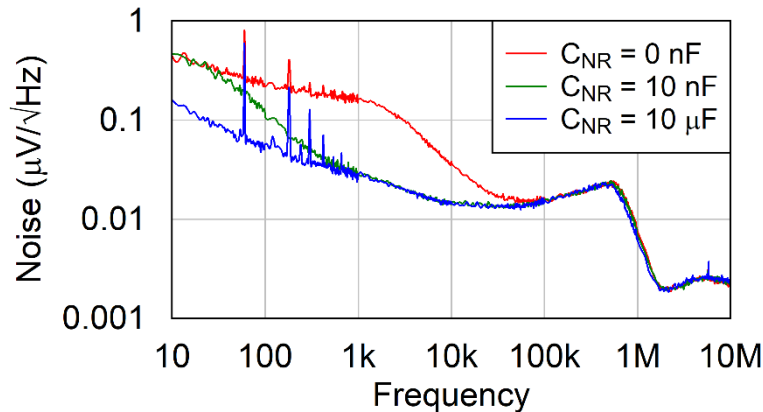
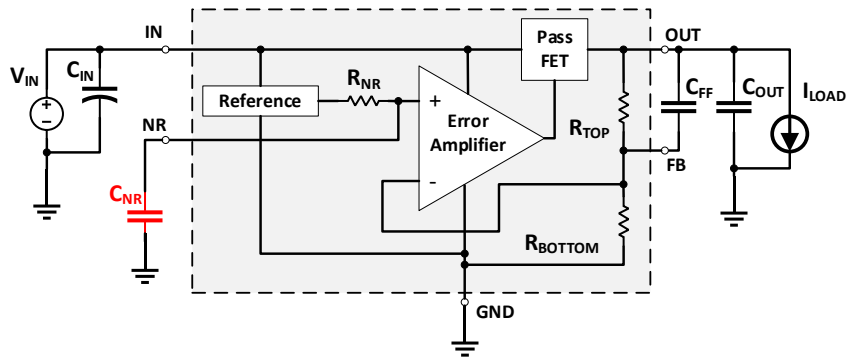
将 LDO 置于单位增益反馈中时, C_{FF} 没有影响



- C_{FF} 在中频带频率下在 R_{TOP} 上产生短路
- 误差放大器在中频带频率范围内工作时更接近单位增益反馈

哪些条件会影响固有噪声

降噪 (NR) 电容器 (ΔC_{NR})



- NR 电容器和内部 NR 电阻器构成低通滤波器
- 该低通滤波器可消除误差放大器之前的基准电压中的噪声

电源抑制比 (PSRR)

PSRR 表示 LDO 滤除输入电压变化的能力

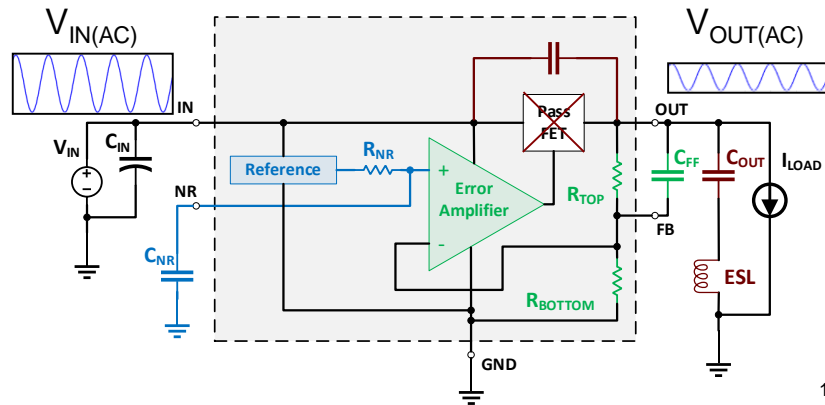
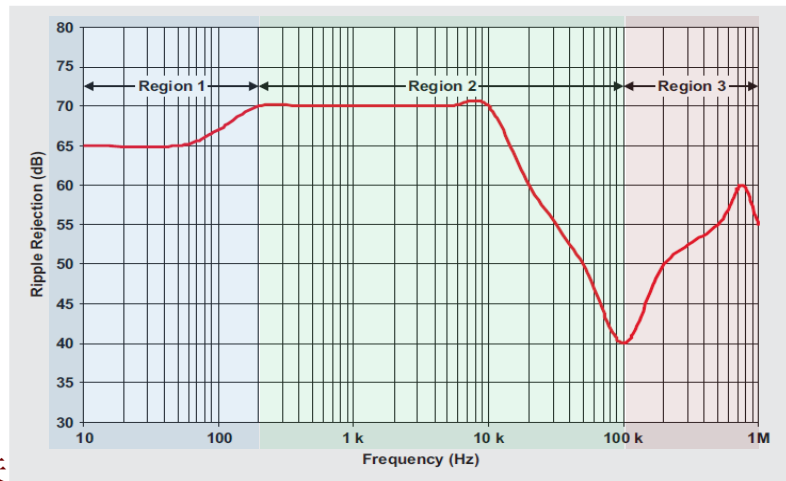
$$\text{PSRR} = 20 \times \log \left(\frac{V_{\text{IN(AC)}}}{V_{\text{OUT(AC)}}} \right)$$

区域 1: 基准和电阻器-电容器滤波器的 PSRR

区域 2: 误差放大器的开环增益

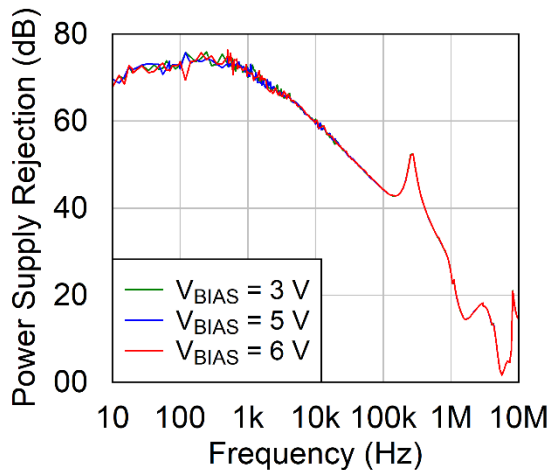
区域 3: 场效应晶体管和输出电容器的寄生电容以及相关的寄生电容 (电容分压器)

- 寄生电容越小, 交流耦合到 V_{OUT} 的 V_{IN} 越少
- C_{OUT} 越大, 分流到 GND 的噪声就越多
- 相关的等效串联电感 (ESL) 也会影响 PSRR 性能



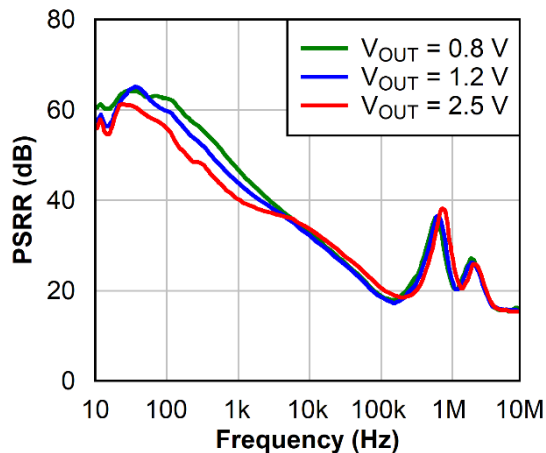
哪些条件不影响 PSRR

偏置电压 (V_{BIAS})



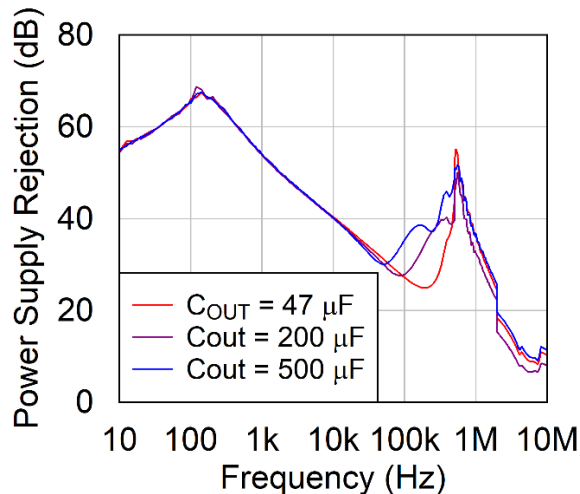
如果 V_{BIAS} 高于最小值，则没有影响

输出电压 (V_{OUT})



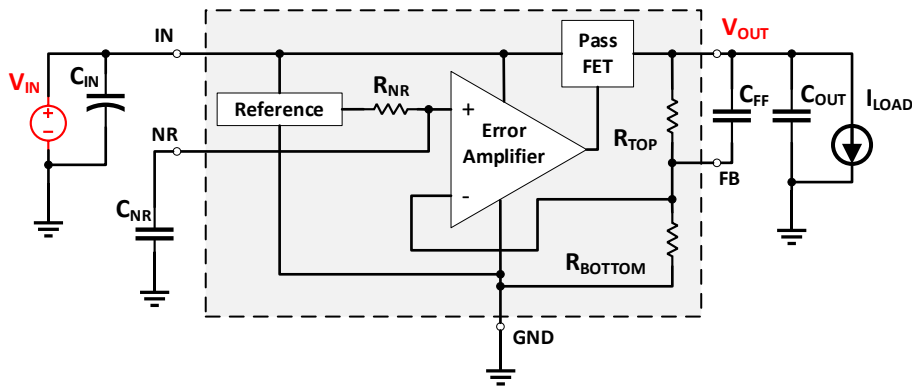
低频时影响较小

输出电容 (ΔC_{OUT})



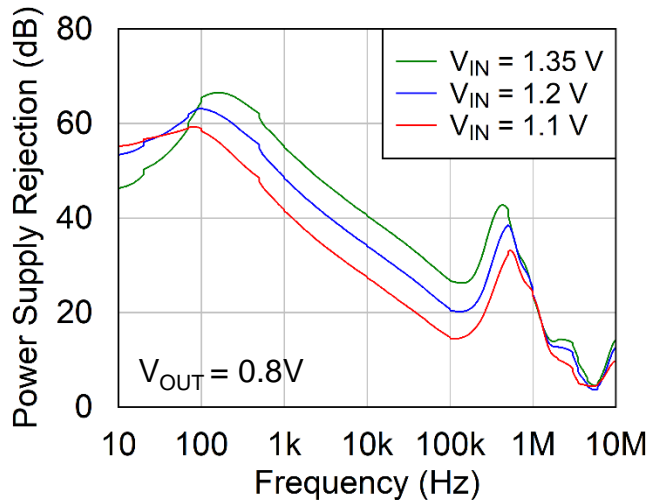
高频时影响较小

哪些条件会影响 PSRR

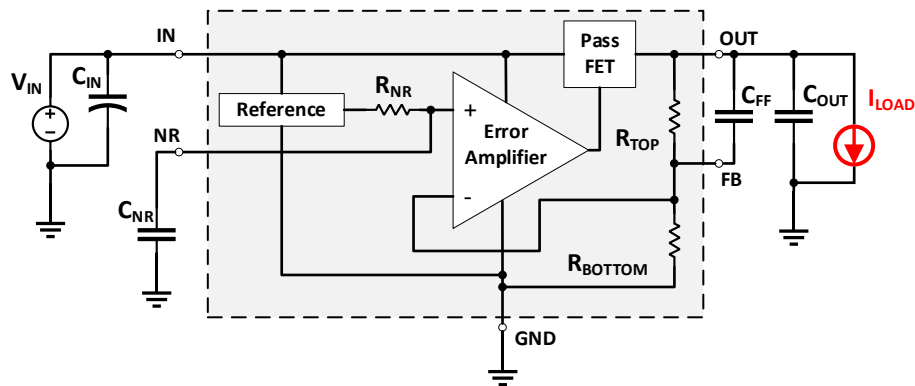


- 当导通场效应晶体管 (FET) 处于饱和区时, 可以保持必要的增益 (大 V_{DS})
- 当导通 FET 进入线性区时, 无法保持必要的增益 (小 V_{DS})

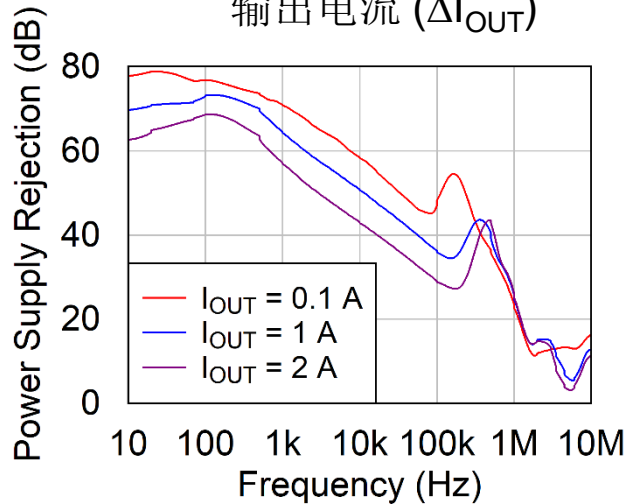
$V_{IN}-V_{OUT}$ 有多小?



哪些条件会影响 PSRR

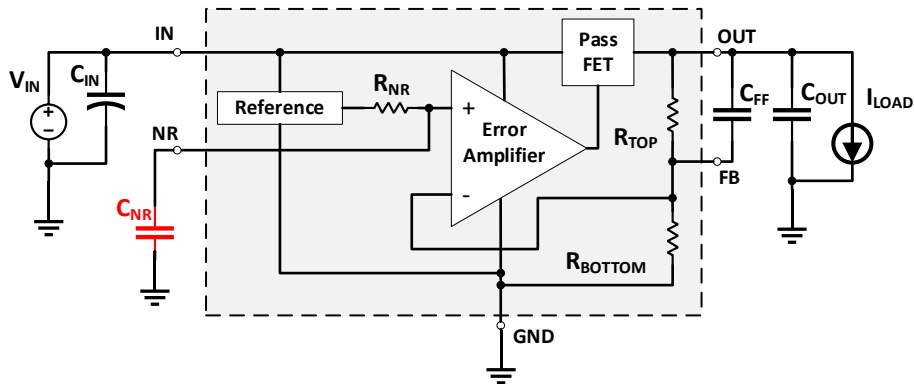


输出电流 (ΔI_{OUT})



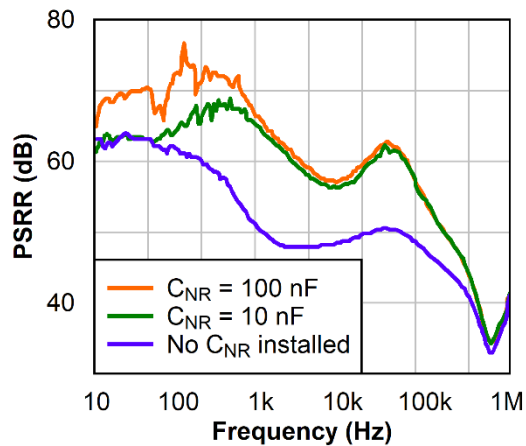
- 随着负载增加，在某个时刻，导通 FET 将进入金属氧化物半导体三极管区域，并且对于相同的 V_{DS} ，导通 FET 的增益将降低

哪些条件会影响 PSRR

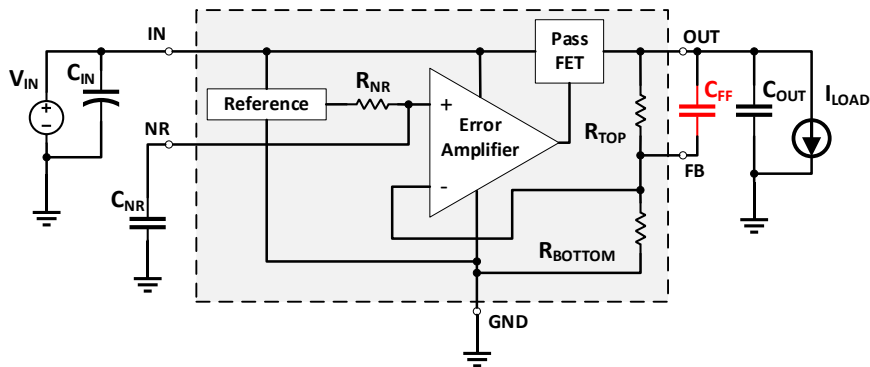


- V_{REF} 本身的 PSRR 会影响 LDO 的 PSRR
- 添加低通滤波器会增加 V_{REF} 的 PSRR

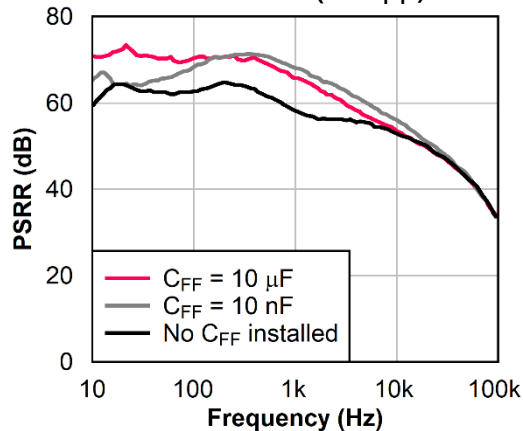
NR 电容器 (ΔC_{NR})



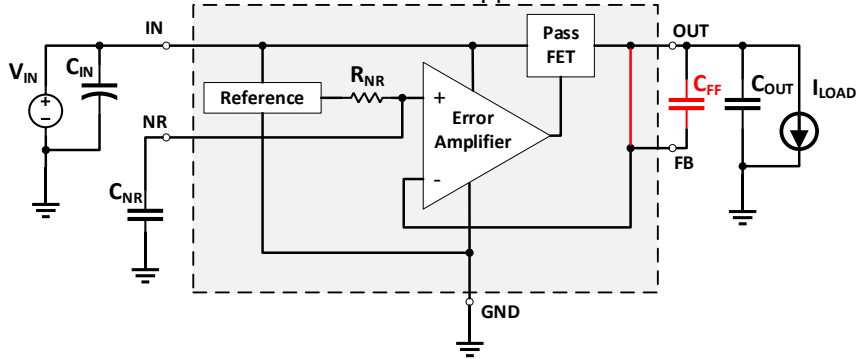
哪些条件会影响 PSRR



前馈电容器 (ΔC_{FF})



将 LDO 置于单位增益反馈中时, C_{FF} 没有影响

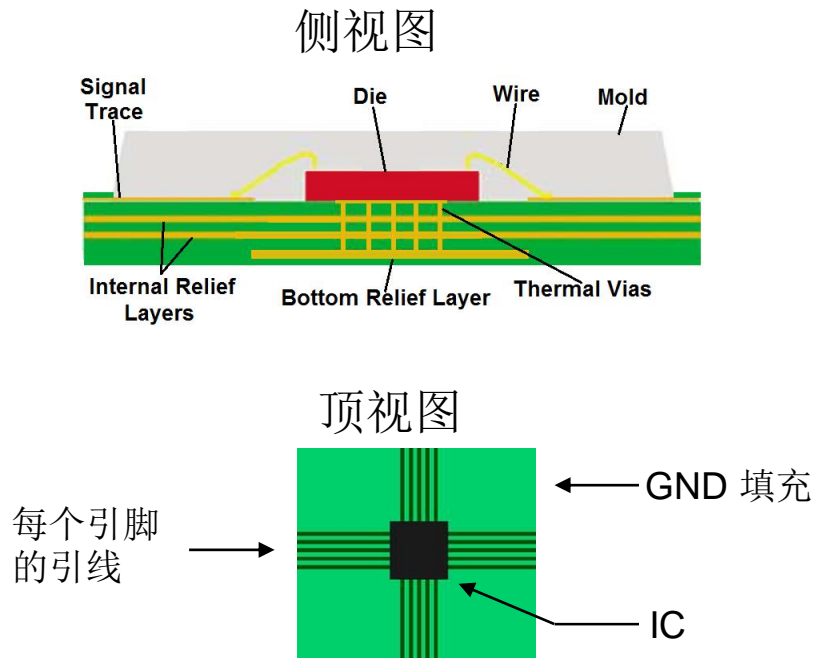


- 在较高频率下, 反馈和 V_{OUT} 通过 C_{FF} 有效短路, 从而防止误差放大器的增益增加基准噪声

JEDEC 热指标

- TI LDO 热指标使用联合电子器件工程委员会 (JEDEC) 高 K 电路板进行建模，以便轻松比较器件
- 最常见的热特性是结至环境 (θ_{JA}) 热阻
- θ_{JA} 是安装在印刷电路板 (PCB) 上的集成电路 (IC) 热性能的衡量标准

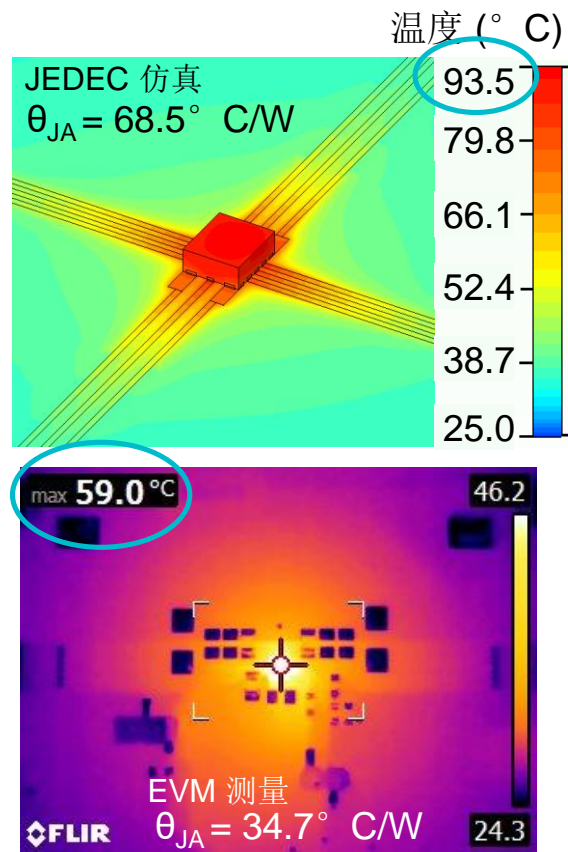
JEDEC 高 K 电路板



θ_{JA} : 了解用法和限制

- 通过良好的布局实践，可以将 θ_{JA} 减少 **25% 至 50%**
- 良好的布局实践：
 - 最大限度地增加散热焊盘内的散热过孔数量，以将热量从 LDO 转移出去
 - 最大限度地增加器件周围的 PCB 铜面积

$$P_D = (V_{IN} - V_{OUT}) \times (I_{OUT} + I_Q)$$
$$P_D \cong (V_{IN} - V_{OUT}) \times I_{OUT}$$
$$T_J = T_A + (\theta_{JA} \times P_D)$$

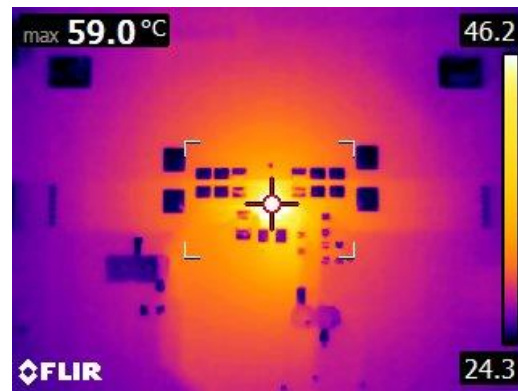
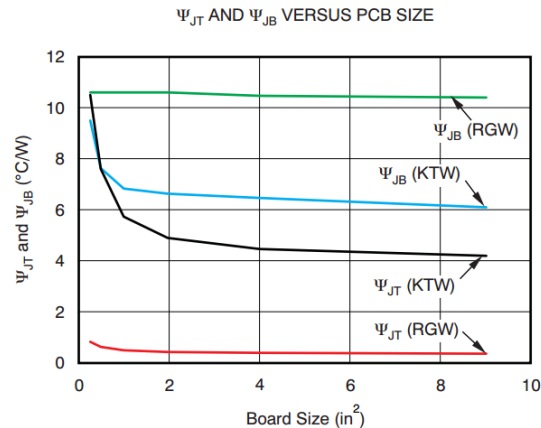


在应用中使用 Ψ_{JB} 和 Ψ_{JT}

- JEDEC has defined Ψ_{JB} 和 Ψ_{JT} 热指标，以提供更准确的方法来根据在 PCB 上测得的外壳温度 (T_C) 估算结温

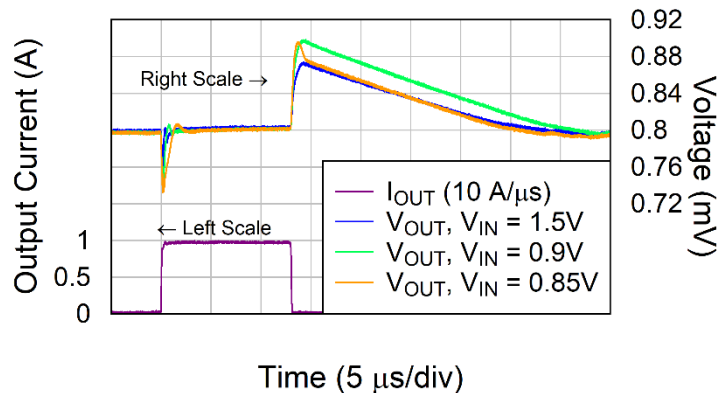
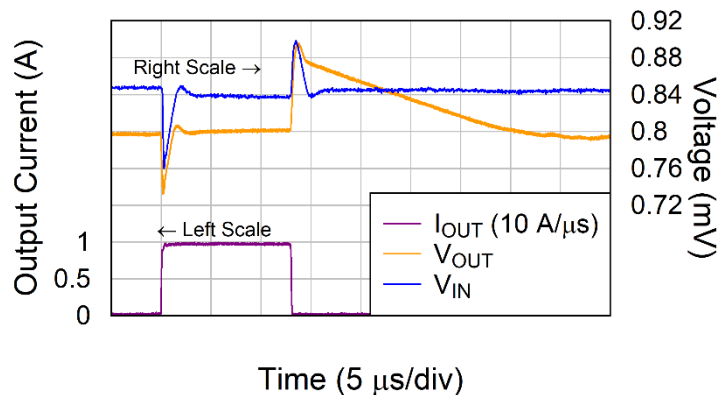
$$T_J = T_C + \Psi_{JT} \times P_D$$

$$T_J = 59^\circ\text{C} + 4.5^\circ\text{C}/\text{W} \times 1\text{W} = 63.5^\circ\text{C}$$



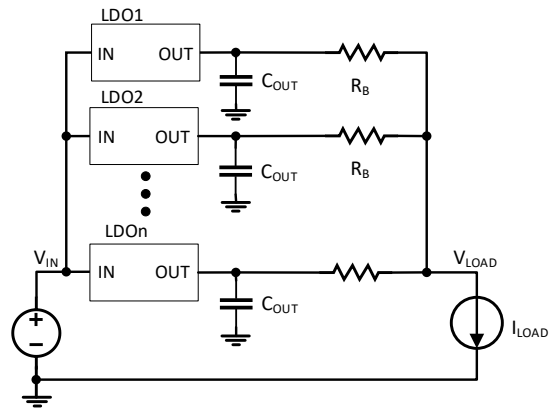
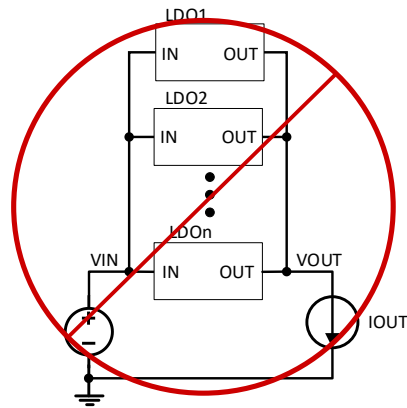
接近压降电压时的瞬态性能

- 瞬态性能通常更多地用余量电压而不是压降规格来表征
- 当 LDO 无法再调节输出电压时，它会进入压降状态
 - 压差是直流规格
- TPS7A14 的压降在 1A (25° C) 时通常为 45mV

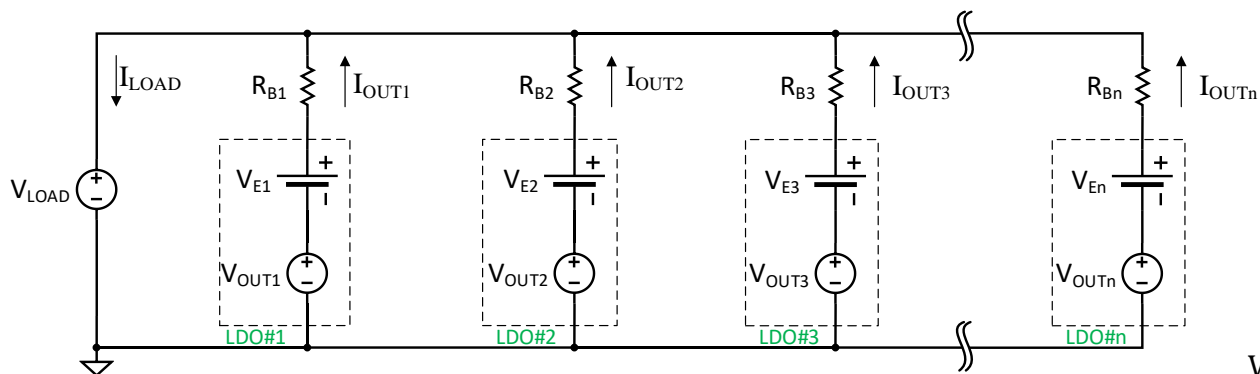


并联 LDO

- 优势：
 - 负载电流更大
 - 噪声更小 (\sqrt{n})
 - 针对给定的负载电流改善了 PSRR
 - 散热性能更出色
 - 余量要求（压降）更低
 - 与其他转换器相比体积更小： C_{OUT} 通常驱动最大系统高度
- 您必须使用一个镇流电阻器将每个 LDO 的输出连接在一起
 - 直接 V_{OUT} 连接： V_{OUT} 的微小差异将导致一个 LDO 开启并尝试承载负载，而其余 LDO 关闭



并联 LDO: 基本公式和分析



$$R_B = \frac{\max_{1 < x < n} V_{En} - \min_{1 < x < n} V_{En}}{\Delta I_{MAX}}$$

LDO 之间的最大电流不平衡

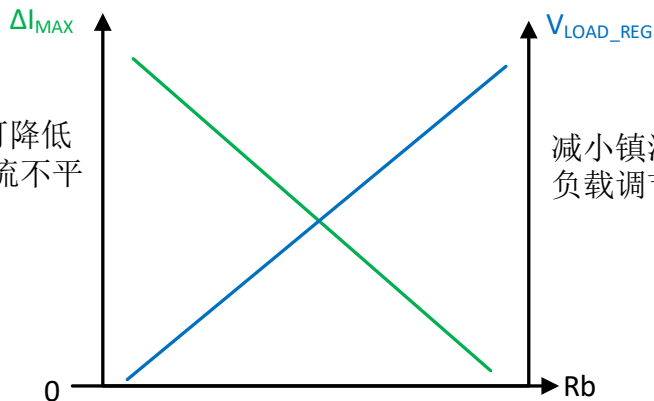
$$I_{LOAD} = \sum_{n=1}^n \frac{V_{OUTn} - V_{LOAD} + V_{En}}{R_{Bn}}$$

$$V_{LOAD} = \frac{\sum_{n=1}^n \frac{V_{OUTn} + V_{En}}{R_{Bn}} - I_{LOAD}}{\sum_{n=1}^n \frac{1}{R_{Bn}}}$$

$$I_{OUTn} = \frac{V_{OUTn} - V_{LOAD}}{R_{Bn}} + \frac{V_{En}}{R_{Bn}}$$

如果 $R_{B1} = \dots = R_{Bn}$ 并且 $V_{OUT1} = \dots = V_{OUTn}$:

$$I_{OUTn} = \frac{I_{LOAD} - \left(\sum_{n=1}^n \frac{V_{En}}{R_B} \right)}{n} + \frac{V_{En}}{R_B}$$

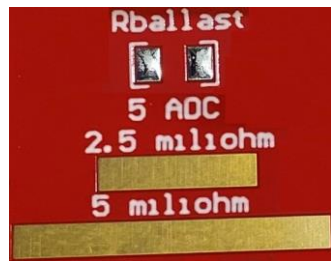


增大镇流电阻可降低 LDO 之间的电流不平衡 (ΔI_{MAX})

减小镇流电阻会降低负载调节 V_{LOAD_REG}

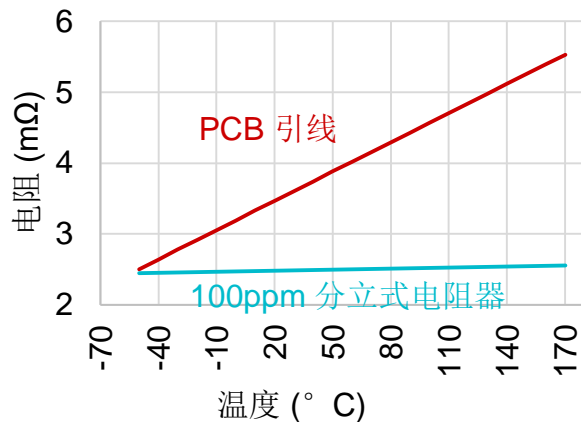
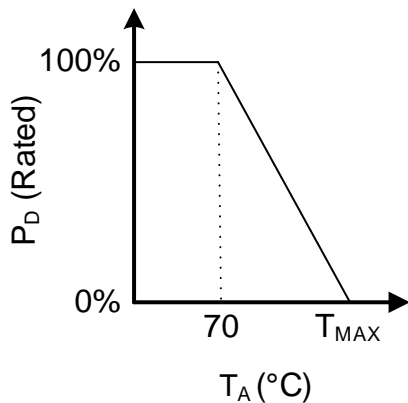
镇流电阻器设计

- 选项 1: PCB 引线
 - 避免微带分析; 使用印刷电路学会 (IPC) 2221
 - 分析中包含 PCB 引线的温升和 PCB 电介质的 T_G
 - 优势: 生产成本低, 耐高温, 不会缺货或被淘汰
- 选项 2: 分立式电阻器
 - 通常为 0603 或 0805 尺寸
 - 查看数据表功率降额曲线
 - 优势: 低容差、低寄生效应、最小封装尺寸



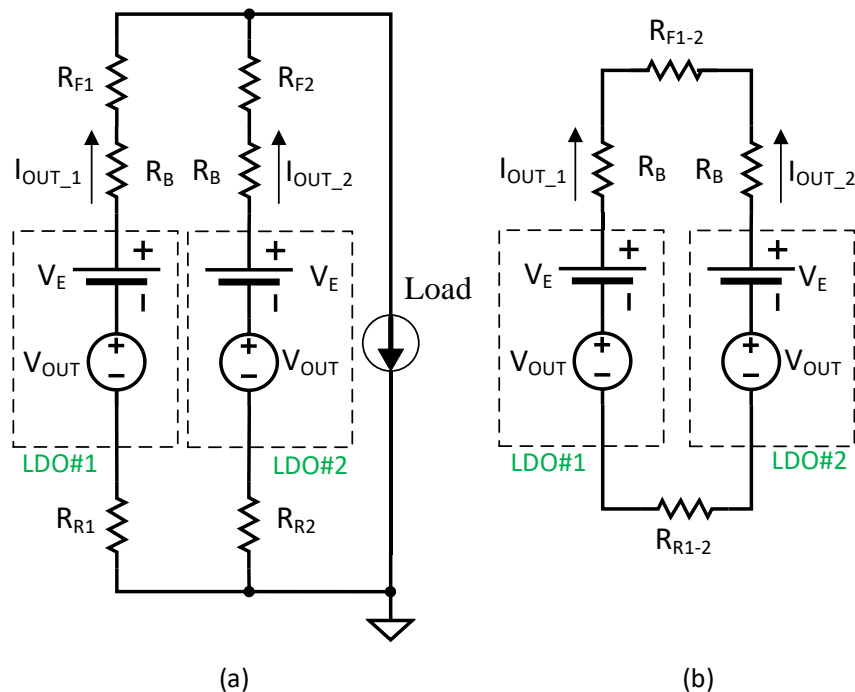
← 1206 尺寸电阻器

← PCB 电阻器



PCB 阻抗的影响

- 理想情况下，PCB 电阻明显小于镇流电阻
 - PCB 铜有较宽的容差
- PCB 电阻（正向和返回）与镇流电阻串联
- 当 $R_B < 50\text{m}\Omega$ 时，PCB 电阻可以有意义地改变设计
 - 进行布线后分析以模拟高温下的 PCB 电阻
- 必须评估两条路径



并联 LDO 计算器

第 1 步：使用下拉框选择 LDO

第 2 步：数据表参数会自动输入

第 3 步：输入系统要求

Not included: Abs Max voltage assessment or DC setpoint analysis
This calculator assumes the same LDO IC, ballast resistor, and output voltage is used for all LDO's in parallel

TPS7A57

LDO Specifications					
Parameter	Value	Units	Optional User Entry	Units	
V _E , high	2	mVdc			mVdc
V _E , low	-2	mVdc			mVdc
Thermal Impedance T _{JA}	21.9	°C / W			°C / W

Parallel LDO System Requirements					
Parameter	Value	Units	Optional User Entry	Units	
T _A	85	°C			°C
Maximum T _J per LDO	125	°C			°C
V _{IN}	1.25	Vdc			Vdc
V _{OUT}	0.75	Vdc			Vdc
Allowable load regulation	0.02	Vdc			Vdc
System Noise Requirement (10 Hz - 100 kHz)	2.45	µVrms			µVrms
Total System Load:	8.48	A			A
Minimum Ballast Resistance needed	0.8	mΩ			mΩ
Optimum Ballast Resistance	5.608043	mΩ			mΩ
Ballast Resistance Selected	5.608043	mΩ			mΩ

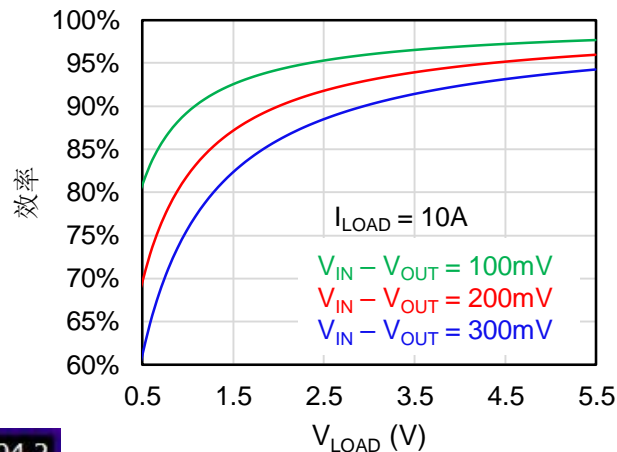
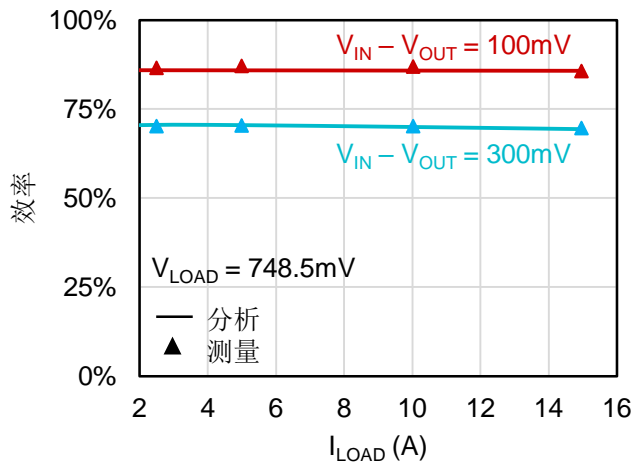
N = 3
Minimum number of parallel LDO's required: 3

第 4 步：选择镇流电阻器

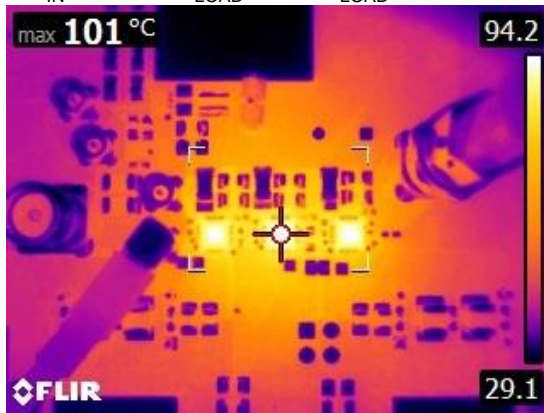
第 5 步：使用这些数量的 LDO 来满足系统要求

并联 LDO 计算器

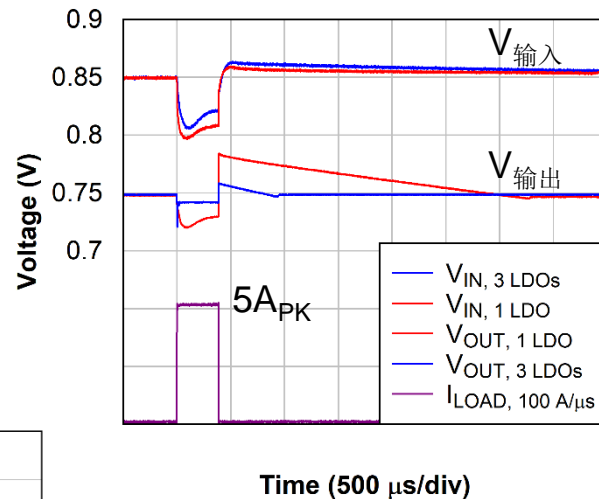
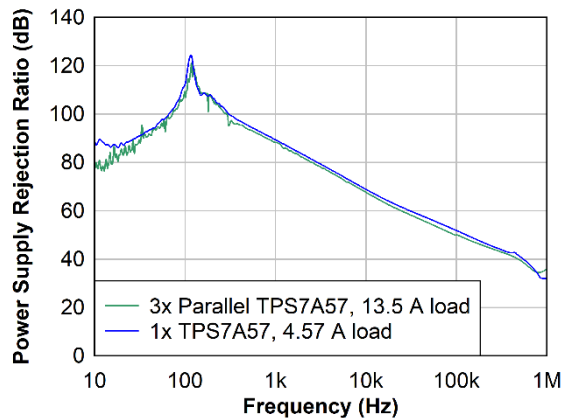
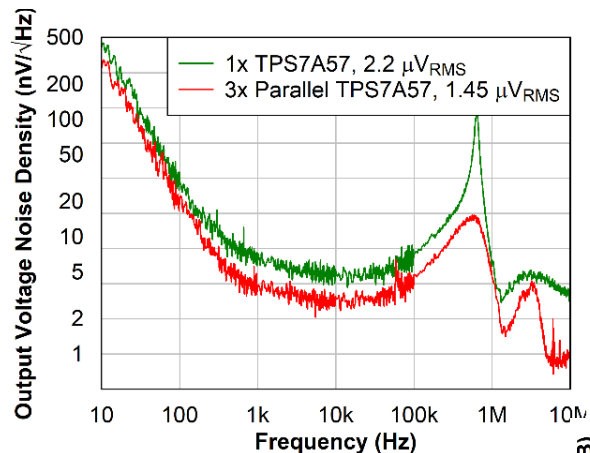
三并联 TPS7A57 LDO 分析和测试数据



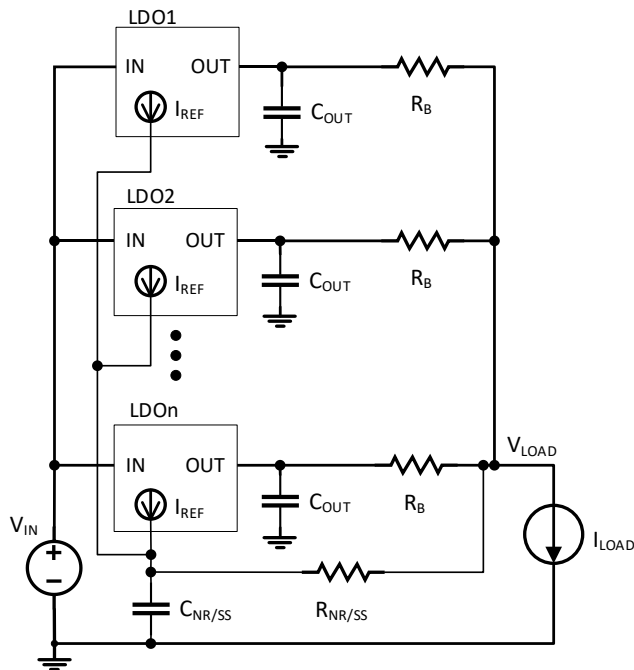
$P_D = 6.75W$, 30 分钟
 $V_{IN} = 1.5V$, $V_{LOAD} = 1V$, $I_{LOAD} = 13.5A$



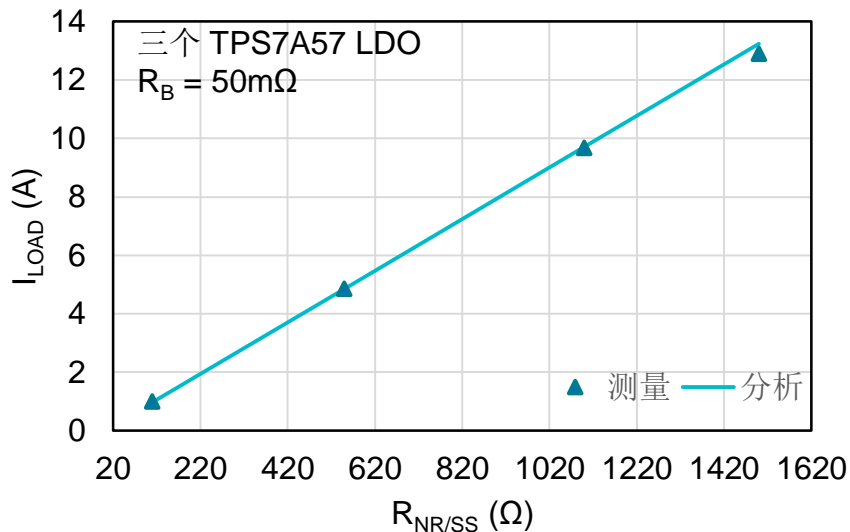
三并联 TPS7A57 LDO 分析和测试数据



配置为恒流源的 LDO



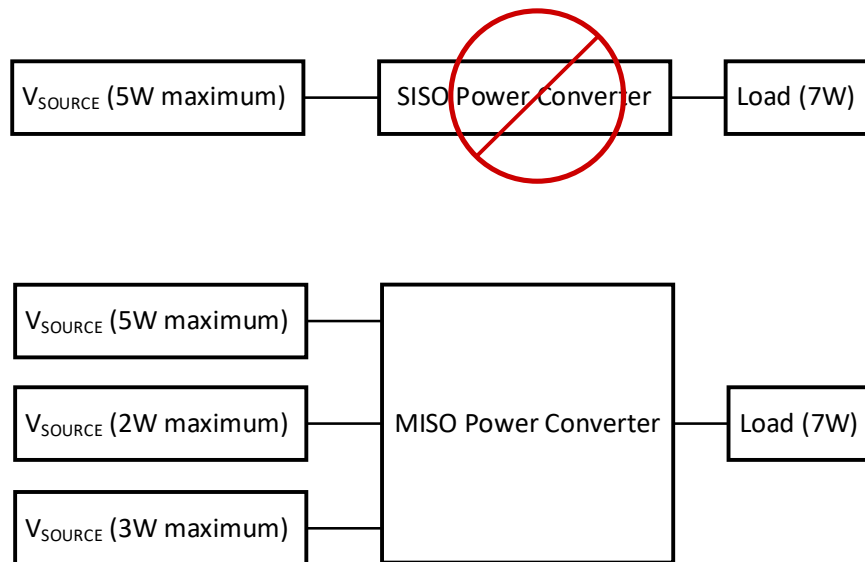
$$R_{NR/SS} = \frac{I_{OUT} R_B}{N \times I_{REF}} = \frac{I_{LOAD} R_B}{N^2 \times I_{REF}}$$



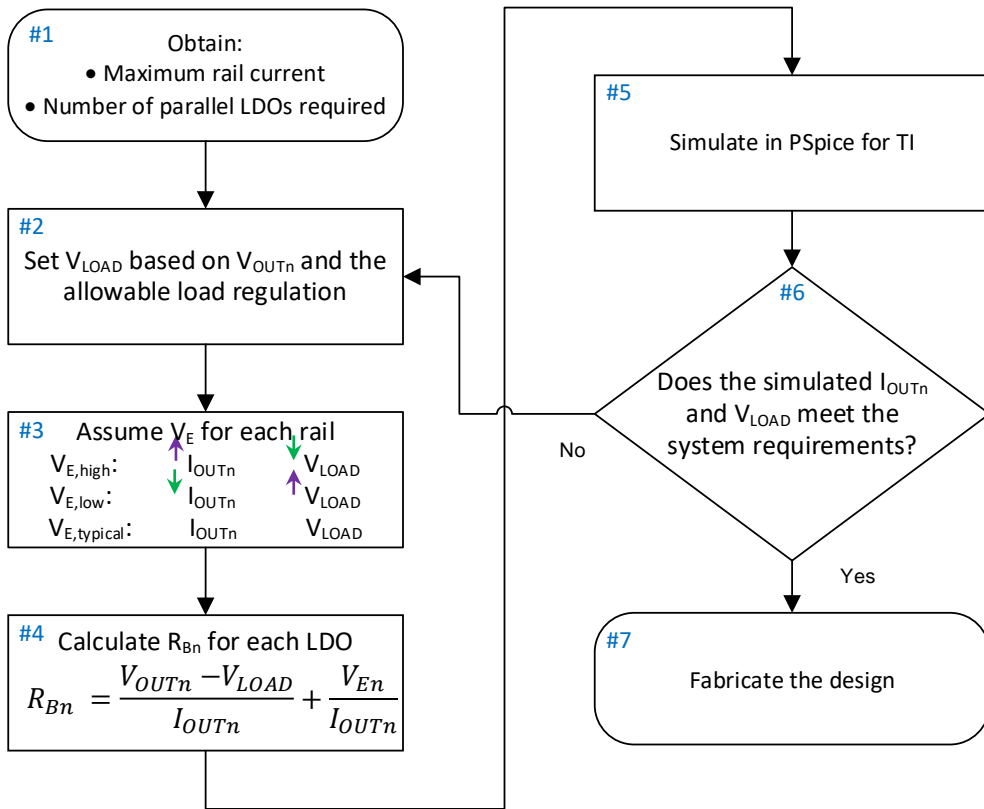
- 应用包括通常由恒流驱动器（激光二极管、LED）驱动的噪声敏感型电子产品

MISO 电源

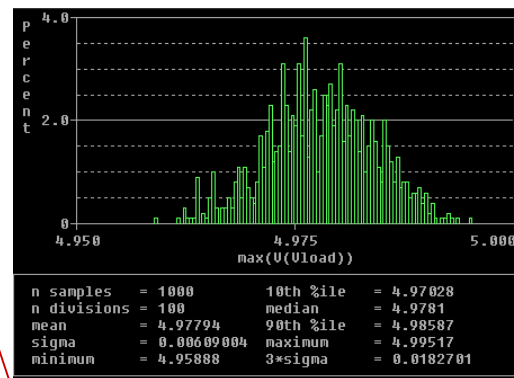
- 现代复杂系统有许多电源，包括系统的输入电源和内部电源
- 有时负载所需的功率高于单个输入轨可以提供的功率
- **MISO** 电源可以采用多个输入电源并合并电源以在单个输出上提供负载



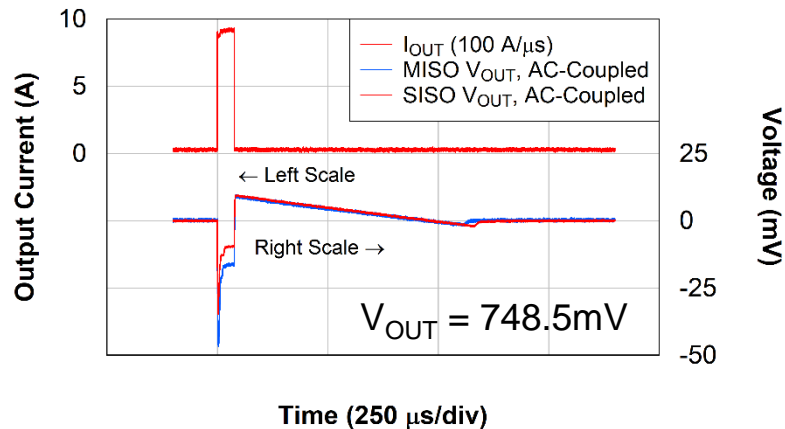
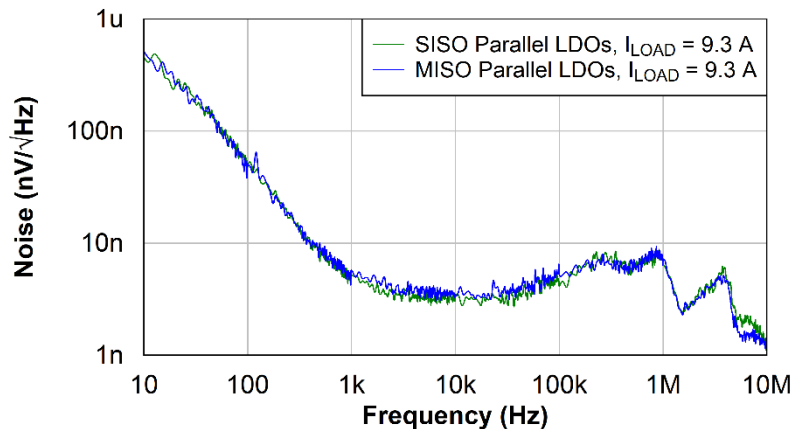
MISO 并联 LDO 设计过程



Component	Parameter	Original	@Min	@Max	Rel ...	Linear
Rb1	VALUE	22m	44m	0	-6.3830m	100
Rb3	VALUE	5.5000m	0	11m	4.8780m	76
Rb2	VALUE	11m	0	22m	2.2222m	12
R24	VALUE	0.0020	0	4m	779.2208u	34
R30	VALUE	0.0020	4m	0	-519.4805u	8
R25	VALUE	0.0020	4m	0	-259.7403u	4
R26	VALUE	5	0	10	0.9992f	< MIN >
Rb11	VALUE	4m	4m	4m	0	0
Rb21	VALUE	4m	4m	4m	0	0
R27	VALUE	2.2000	2.2000	2.2000	0	0
R31	VALUE	1	1	1	0	0



并联 SISO LDO 与 MISO LDO

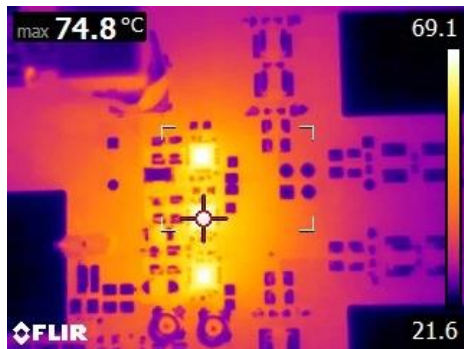


$V_{LOAD} = 0.75\text{V}$
每个 LDO 的 $P_D = 1.55\text{W}$

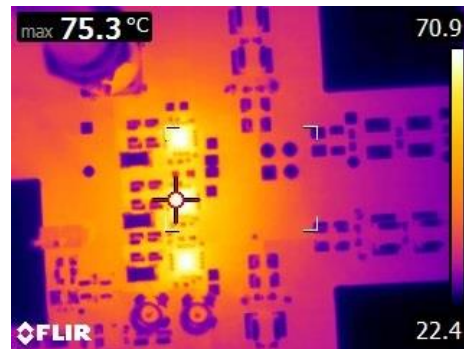
$V_{IN1} = 1.72\text{V}$, $I_{OUT1} = 1.6\text{A}$

$V_{IN2} = 1.25\text{V}$, $I_{OUT2} = 3.1\text{A}$

$V_{IN3} = 1.09\text{V}$, $I_{OUT3} = 4.6\text{A}$



MISO LDO



单输入单输出 (SISO) LDO

$V_{LOAD} = 0.75\text{V}$
每个 LDO 的 $P_D = 1.55\text{W}$

$V_{IN1} = V_{IN2} = V_{IN3} = 1.25\text{V}$

$I_{LOAD} = 9.3\text{A}$

概要

- 介绍了 LDO 噪声、PSRR、热性能和接近压降电压运行的基本特性
 - 讨论了哪些参数会影响、哪些参数不会影响 LDO 噪声和 PSRR
- 可以轻松配置 LDO 来调节电流而不是电压
- 新资源可帮助您使用镇流电阻器通过并联 LDO 快速进行设计
 - 并联 LDO 可以增大负载电流，降低系统噪声，改善 PSRR，提高热性能并减少所需的余量
- 将不同的输入电压连接到每个并联 LDO 输入可创建一个 MISO 转换器
 - 改变镇流电阻器可以调整每个输入电源提供的功率

资源

- “精确测量超低 Iq 器件的效率”
- “应对低功耗应用中的低 Iq 挑战”
- “优化线性稳压器中的前馈补偿”
- “简化稳定性检测”
- “避免 LDO 启动过冲”
- “LDO 缓解启动应力”
- “LDO 线性稳压器的软启动电路”
- “LDO 基础知识”
- “如何测量 LDO 噪声”
- “轻松测量 LDO PSRR”

资源

- [“了解线性稳压器中的电源纹波抑制”](#)
- [“使用前馈电容器和低压降稳压器的优缺点”](#)
- [“电路板布局布线对 LDO 热性能影响的经验分析”](#)
- [“现场测量 LDO 的热阻抗”](#)
- [“简化开关模式功率转换器补偿”](#)
- [“使用镇流电阻器的并联 LDO 的综合分析和通用公式”](#)
- [“使用镇流电阻器的并联 LDO 架构设计”](#)
- [“并联 LDO 计算器”](#)

资源

- “可扩展、高电流、低噪声并行 LDO 参考设计”
- “半导体和 IC 封装热指标”



谢 谢